

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142972

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H03K 5/13
G01R 13/34
G02B 6/00
H01P 1/00
H01P 3/02
H03K 5/12

(21)Application number : 03-322541

(71)Applicant : IWATSU ELECTRIC CO LTD
KAMIYA TAKESHI

(22)Date of filing : 11.11.1991

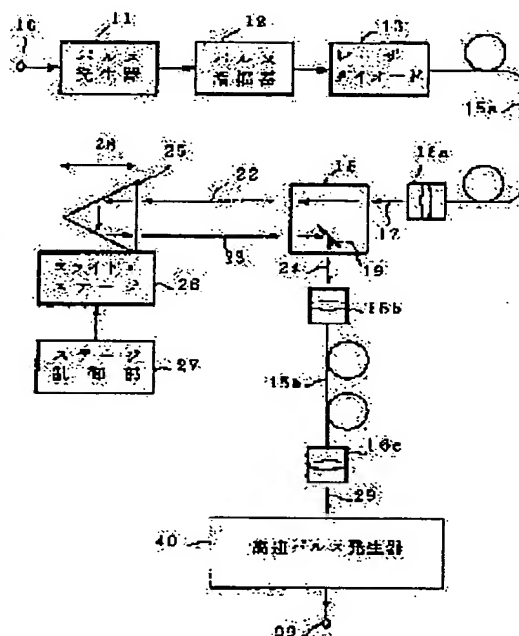
(72)Inventor : ISHIGURO ISAO
KOBAYASHI YUZURU
KAMIYA TAKESHI

(54) HIGH SPEED DELAY PULSE GENERATOR

(57)Abstract:

PURPOSE: To obtain a high speed delay pulse without jitter and drift.

CONSTITUTION: When a trigger signal is impressed to an input terminal 10, a laser diode 13 is driven to obtain a light pulse, and a mobile prism 25 varies the length of an optical path to obtain the delayed light pulse from a mirror 19. It becomes an irradiating light 29 to irradiate a high speed pulse generator 40, which includes a photoconductor, a nonlinear transmission path and a shifter. The irradiating light 29 irradiates the photoconductor to generate an electric pulse to be impressed to the nonlinear transmission path. There, many diodes are arranged between a central conductor and the ground so as to give a large delay time to the signal of small voltage and a small delay time to large voltage to obtain a high speed pulse signal. Then, the pulse signal is wave-formed. Consequently, an output terminal 99 can obtain the high speed delay pulse without jitter and drift.



LEGAL STATUS

[Date of request for examination] 22.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3255440

[Date of registration] 30.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142972

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/13				
G 0 1 R 13/34		Z 8203-2G		
		A 8203-2G		
G 0 2 B 6/00	3 2 1	6920-2K		
H 0 1 P 1/00		A		

審査請求 未請求 請求項の数7 F D (全 8 頁) 最終頁に続く

(21) 出願番号 特願平3-322541

(22) 出願日 平成3年(1991)11月11日

(71) 出願人 000000181

岩崎通信機株式会社

東京都杉並区久我山1丁目7番41号

(71) 出願人 591272859

神谷 武志

東京都杉並区宮前1丁目11番地4号

(72) 発明者 石黒 功

東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社内

(72) 発明者 小林 譲

東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社内

(74) 代理人 弁理士 内田 公三 (外1名)

最終頁に続く

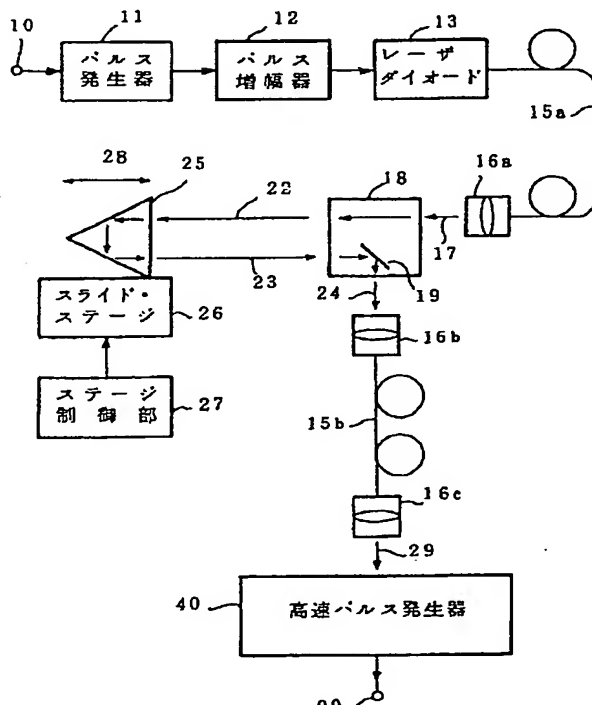
(54) 【発明の名称】 高速遅延パルス発生器

(57) 【要約】

【目的】 ジッタおよびドリフトのない高速遅延パルスを得ること。

【構成】 トリガ信号が入力端子10に印加されると、レーザ・ダイオード13を駆動して光パルスを得、移動プリズム25により光路長を可変してミラー19から遅延した光パルスを得る。これは照射光29となって高速パルス発生器40を照射する。ここには、フォト・コンダクタ、非線形伝送路、ショータが含まれている。照射光29はフォト・コンダクタを照射して電気パルスを発生し、非線形伝送路に印加される。ここには、多くのダイオードが中心導体とグラウンド間に配され、小さな電圧の信号に対しては大きな遅延時間を、大きな電圧に対しては小さな遅延時間を与えて、高速のパルス信号を得る。これを波形整形する。

【効果】 ジッタおよびドリフトのない高速遅延パルスを出力端子99に得る。



【特許請求の範囲】

【請求項 1】 トリガ信号を印加されて立上り時間の速い光パルスを発生する光パルス発生手段（11、12、13）と、

前記光パルスの光路長を変化せしめて伝搬時間を可変して遅延した光パルスを得るための光パルス可変遅延手段（18、25）と、

前記遅延した光パルスを受けて電気伝導度を変化して電気パルスを得るためのフォト・コンダクタ手段（52）と、

伝送される前記電気パルスの振幅の小さな部分に対しては大きな遅延時間を示し、振幅の大きな部分に対しては小さな遅延時間を示して、印加された前記電気パルスの立上り時間よりも高速の立上り時間を示す高速パルス信号を得るための非線形伝送手段（55）と、

前記高速パルス信号の波形を整形して幅の狭い高速遅延パルスを得るための波形整形手段（71、80）とを含む高速遅延パルス発生器。

【請求項 2】 前記光パルス発生手段が、

前記トリガ信号を印加されて所定のパルス幅および振幅のパルスを発生するパルス発生手段（11）と、

前記パルス発生手段からのパルスを受けて増幅するためのパルス増幅手段（12）と、

前記パルス増幅手段からの増幅されたパルスにより駆動されて前記光パルスを発生するためのレーザ・ダイオード（13）とを含む請求項 1 記載の高速遅延パルス発生器。

【請求項 3】 前記光パルス可変遅延手段が、

前記光パルスの光路長を変化せしめるための光学系（18、25）と、

前記光学系を所定の位置関係に移動せしめるためのスライド・ステージ（26）とを含む請求項 1 記載の高速遅延パルス発生器。

【請求項 4】 前記波形整形手段が、方向性結合器（71）を含んでいる請求項 1 記載の高速遅延パルス発生器。

【請求項 5】 前記波形整形手段が、ショータ（80）であり、前記フォト・コンダクタ手段の出力側が特性インピーダンスで終端（53）されている請求項 1 記載の高速遅延パルス発生器。

【請求項 6】 前記フォト・コンダクタ手段と、前記非線形伝送手段と、前記波形整形手段とが同一の半導体基板（41、42）上に集積されている請求項 1 記載の高速遅延パルス発生器。

【請求項 7】 前記非線形伝送手段が、平面伝送路であるコプレーナ線路のセンタ・コンダクタ（59）とグランド・パターン（97）との間に最適の間隔で最適の個数のダイオードが前記電気パルスの印加によって逆バイアス電圧が大きくなるように配置されている請求項 1 記載の高速遅延パルス発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はトリガ信号に対して遅延した高速のパルスを発生する高速遅延パルス発生器に関する。さらに具体的には、時間の基準となるトリガ信号などに対してジッタおよびドリフトが実質的にない遅延した立上りおよび立下り時間の極めて速いパルスを発生する高速遅延パルス発生器を提供せんとするものである。

【0002】

【従来の技術】 トランジスタや IC などの高速化によって、高速の信号が扱われ、伝送路は広帯域化されている。このような高速の回路素子や伝送路およびそれらを用いたシステムを試験するためには、広帯域のサンプリング・オシロスコープが必要となる。この広帯域化のためには、極めて幅の狭いサンプリング・パルスが必要であり、トリガ・パルスから正確に遅延し、その遅延量は指示に従って可変されなければならない。

【0003】 従来の高速遅延パルス発生器を回路構成を示す図 8 およびその各部の波形を示す図 9 を用いて説明する。

【0004】 図 8 の左方から、図 9（b）に示すトリガ信号が R-S フリップフロップ 31 のセット端子 S に印加され、（c）に示す出力を得て、これが（a）に示す時間の基準（スタート点）となるクロック信号が印加されている J-K フリップフロップ 32 に印加される。J-K フリップフロップ 32 は図 9（d）に示す出力によってそれまでオン状態にあったスイッチ 33 をオフにする。するとコンデンサ 35 には定電流源 34 から電流が供給されて、（e）に示すのこぎり波を発生し、コンパレータ 36 の一方の端子に加えられる。一方、外部からのラッチ信号と遅延時間を指示する遅延データはラッチ回路 38 に印加され、D/A 変換器 39 の出力レベルを設定し、これがコンパレータ 36 の他方の端子に印加されて、（e）に示すのこぎり波と比較される。遅延データ N または O によってレベル L_N あるいは L_O が設定されると、（e）に示すのこぎり波がレベル L_N あるいは L_O を越えた瞬間コンパレータ 36 は（f）に示す

（a）のクロックからの遅延時間 T_N あるいは T_O において遅延パルス信号を出力する。この遅延パルス信号を図示していないパルス増幅器および波形整形器で処理してサンプリング・パルスを得ている。遅延パルス信号は遅延回路 37 を介して R-S および J-K フリップフロップのリセット端子 R にも印加され、リセットする。

【0005】 遅延パルスを得るには、遅延線路や遅延素子を組合せて用いる方法もある。

【0006】 高速の立上り時間を有するパルスを得るにはエサキ（トンネル）・ダイオードやステップ・リカバリ（スナップオフ）・ダイオードを用いたパルス発生回路がある。

【0007】

【発明が解決しようとする課題】 サンプリング・パルスの幅が狭い程、それを用いたサンプリング回路の帯域幅は広いものとなるから、サンプリング・オシロスコープの時間軸を決定する遅延パルス発生器への要求も厳しいものとなる。

【0008】 すなわち、高速の立上りおよび立下り時間を持ったパルス信号の遷移をサンプリング・オシロスコープにより観測する場合、高精度で高時間分解能が要求される。また、高速信号処理システムのタイミング依存性や位相マージンを観測する場合には、クロック信号

(図9(a))と遅延時間(図9(f)の T_N または T_0)を高分解能で正確に設定できなければならない。

【0009】 図8に示した回路では、遅延データにもとづいて定めたレベルとのこぎり波がコンパレータで比較されることによって、所定の遅延後に遅延信号を発生させている。ところがコンパレータ内部では熱雑音等の影響でコンパレート・レベル(図9(e)の L_N あるいは L_0)が揺らいでいる。したがって、この揺らぎにより遅延信号に時間揺らぎであるジッタおよびドリフトが発生するという解決されねばならない課題が残されていた。

【0010】 遅延線路や遅延素子である受動素子を使って遅延時間を変化せしめるためには、多種多量の遅延線路あるいはデバイスが必要となり、遅延時間を長くすると表皮効果等の高周波ロスによる波形歪から、遅延時間が大きくなるにしたがって出力波形の歪が大きくなり、遅延時間に誤差が生じるという解決されねばならない課題が残されていた。

【0011】 市販のエサキ(トンネル)・ダイオードを用いたパルス発生器では非常に高速の立上り時間25ps(10⁻¹²秒)以下のパルスが発生することができるが、振幅電圧が400mVと他の電子回路を駆動するための信号源としては振幅が十分ではない(たとえば米国ピコセカンドラボラトリ社製パルス発生器TD1107)。市販のステップ・リカバリ(スナップオフ)ダイオードを用いたパルス発生器は10数ボルトの電圧を発生することができるが、立上り時間は45psとエサキ(トンネル)・ダイオードを用いたパルス発生器ほど高速ではない(たとえば米国ピコセカンドラボラトリ社製パルス発生器4050)。

【0012】 本発明はこのような問題点を根本的に解決し、時間のスタート点となるトリガ信号あるいはクロック信号に対して所定の遅延時間をもった高速信号の発生を可能にするものである。

【0013】

【課題を解決するための手段】 時間のスタート点を示すトリガ信号により立上り時間の速い光パルスを発生する光パルス発生手段と、この光パルスの光路長を変化せしめて遅延時間を可変して遅延した光パルスを得るための

光パルス可変遅延手段と、遅延した光パルスを受けて電気伝導度を変化して電気パルスを得るためのフォト・コンダクタ手段と、伝送される電気パルスの振幅の小さな部分に対しては大きな遅延時間を示し、振幅の大きな部分に対しては小さな遅延時間を示して印加された電気パルスの立上り時間よりも高速の立上り時間を示す高速パルス信号を得るための非線形伝送手段と、高速パルス信号を波形整形して幅の狭い高速遅延パルスを得るための波形整形手段とを設けた。

【0014】

【作用】 高速遅延パルスの遅延は、光パルスの光路長を可変することにより得ているから、遅延時間におけるジッタやドリフトは全く生じない。遅延した光パルスはフォトコンダクタ手段において電気パルスに変換されるが、この電気パルスの立上り時間は十分に小さなものではない。これが非線形伝送手段により、十分に小さな立上り時間の高速パルス信号に変換され、波形整形手段において十分に幅の狭い高速遅延パルスに整形されるから、ジッタやドリフトのない正確に所定時間可変遅延された高速遅延パルスを得ることが可能となった。

【0015】

【実施例】 本発明の一実施例を図1にその各部の波形を図2に示し説明する。

【0016】 図1において、時間のスタートとなる基準を示すトリガ信号(図2(a))がトリガ入力端子10に印加されると、パルス発生器11においては所定のパルス幅のパルス(図2(b))を発生する。このパルスはパルス増幅器12において増幅され、その出力(図2(c))はレーザ・ダイオード13に印加される。

【0017】 レーザ・ダイオード13はパルス電流の印加により、立上り時間が数10ps程度の光パルスを発生する(図2(d))。

【0018】 光パルスは光ファイバ15aに導かれてレンズ16aにより平行光になり空間平行光17が光学固定端18を通過し、空間平行光22として移動プリズム25で折り返し空間平行光23として光学固定端18に含まれたミラー19で反射されて空間遅延光パルス24が得られる。

【0019】 移動プリズム25はスライド・ステージ26に取り付けられており、ステージ制御部27からの制御信号により移動して、移動プリズム25を矢印28のように左右に移動せしめる。このスライド・ステージ26は、たとえば駿河精機(株)製のJ16-100X軸ステージであり、2μmピッチで100mmの移動距離が得られる。1ピッチ2μmの移動プリズム25の移動により、空間平行光22、23の光路長は4μm変化する。この距離を遅延時間に換算すると、光速を3×10⁸m/sとし、13.3fs(10⁻¹⁵s)に相当する。100mmの移動によって、667psの遅延時間を得ることができ

【0020】このようにして得られた空間遅延光パルス 24 は、レンズ 16 b によって集光されて光ファイバ 15 b に導かれ、レンズ 16 c によって集光されて、照射光 29 を得る。この照射光 29 は図 2 (e) に示され、遅延時間が小さい場合 (図 1 の矢印 28 の右側に移動プリズム 25 がある場合) を実線で、大きい場合 (図 1 の矢印 28 の左側に移動プリズム 25 がある場合) を破線で示している。この照射光 29 は高速パルス発生器 40 に含まれたフォト・コンダクタを照射する。

【0021】高速パルス発生器 40 の一実施例の回路図が図 3 に、その半導体基板上の配置図が図 4 に示されている。光パルスである照射光 29 が照射されるフォト・コンダクタ 52 は、各素子を集積化するための、ガリウム砒素あるいはインジウム燐の基板 41 上に構成されている。フォト・コンダクタ 52 の光照射時のコンダクタンスの遷移 (コンダクタンスの変化の立上り時間) は非常に高速である。フォト・コンダクタ 52 にはバイアス電圧源 51 からのバイアスが印加されているために照射光 29 が印加されると、電気パルス (図 2 (f)) を発生する。

【0022】この電気パルスのピーク電流は 50~60 mA (50 Ω 負荷に対して 2.5~3 V) に達する。高速動作をするフォト・ダイオードの場合には、ピーク電流は 1 mA 程度しか得られないから、フォト・コンダクタ 52 に代えてフォト・ダイオードを使用することはできない。

【0023】このフォト・コンダクタ 52 の出力である電気パルスはセンタ・コンダクタ 59 上を伝搬して非線形伝送路 55 を通過する。

【0024】非線形伝送路 55 は、基板 41 上に形成されたセンタ・コンダクタ 59 と、周辺のグランド・パターン 97 とによって構成されたコプレーナ伝送路に沿って最適間隔で最適数のダイオード部 D がバイアス電圧に対して逆バイアスされる向きに配置されている (参考文献 Appl. Phys. Lett. 54(11), 13 March 1989)。この非線形伝送路 55 のダイオード部 D の端子間の逆電圧が変化すると、その端子間の容量は図 5 に示すように変化する。すなわち、端子間の逆電圧が大きくなるにしたがってその静電容量は減少する。

【0025】伝送路の単位長あたりのインダクタンスを L、キャパシタンスを C とすると、その伝送路の伝搬速度は、 $(LC)^{-1/2}$ で表わされる。ここで、このキャパシタンス C はダイオード部 D の接合容量 (図 5 の端子間容量) と伝送路そのものの容量の和である。したがって、小さな振幅の信号に対しては、非線形伝送路 55 の伝搬速度は遅く、大きな振幅の信号に対しては伝搬速度は速くなる。フォト・コンダクタ 52 からの正の電気パルスの立上り近辺においては、たとえばショットキ・バリア・ダイオードであるダイオード部 D の逆電圧は小さく伝搬速度は遅いが、正の電気パルスが立上るとつれて端

子間容量が減少して伝搬速度は速くなり、電圧の低い部分に対して電圧の高い部分が追いついて、非線形伝送路 55 の出力においてはその立上り時間は数 ps になる (図 2 (g))。

【0026】非線形伝送路 55 の出力である高速パルス信号は、特性インピーダンス 50 Ω のセンタ・コンダクタ 59 により方向性結合器 71 へ導かれる。ここには結合線路 72, 73 が並行しており、センタ・コンダクタ 59 に接続された結合線路 72 の他端側の端子 79 には 50 Ω の終端器 78 が接続される。他方の結合線路 73 の近端は出力端子 99 に接続され、ここから高速遅延パルスが得られる。結合線路 73 の他端は 50 Ω の終端器 77 (図 4 では斜線部) で終端されている。

【0027】非線形伝送路 55 側からセンタ・コンダクタ 59 を介して印加される高速パルス信号の幅は、方向性結合器 71 の伝搬時間である結合時間よりは大きく、これが方向性結合器 71 に印加されて、出力端子 99 に得られる高速遅延パルスのパルス幅は方向性結合器 71 の伝搬時間である結合時間に等しく、高速遅延パルスの前縁および後縁ともにその遷移時間は非線形伝送路 55 からの高速パルス信号の前縁部の遷移時間 (立上り時間) に等しくなるように波形整形されて、出力端子 99 には高速遅延パルス (図 2 (h)) が得られる。ここで図 2 (f), (g), (h) の破線で示した波形は、それぞれ実線で示した波形よりも大きな遅延時間を移動プリズム 25 の移動により与えられたときの波形である。図 4 のボンディング・ワイヤ 74, 75 はコプレーナ線路の奇モードの発生を抑制するために効果があり、出力端子 99 に得られる高速遅延パルスの波形の乱れを少なくするのに役立つ。

【0028】図 6 は高速パルス発生器 40 の他の実施例の回路図が、図 7 にはその回路の要部を形成した半導体基板上の配置図が示されている。図 6 および図 7 においては、図 3 および図 4 に示した構成要素に対応したものには同じ記号を付した。図 6 の要部の各構成要素は図 7 の基板 42 上に形成されており、ここでは非線形伝送路 55 からセンタ・コンダクタ 59 を介して印加される高速パルス信号を波形整形するためのショート 80 が用いられ、ショート 80 からの反射パルスを吸収するための終端器 53 (図 7 の斜線部で示した 53) がフォト・コンダクタ 52 の出力部のセンタ・コンダクタ 59 とグランド・パターン 97 との間に設けられている。

【0029】ショート 80 には、ショート・スタブ 81, 82 が含まれ、その先端はそれぞれコンデンサ 85, 86 でグランド・パターン 97 に接続されている。この各ショート・スタブ 81, 82 をパルス信号が往復する時間が、出力端子 99 に得られる高速遅延パルスのパルス幅 (図 2 (h)) となる。ここでコンデンサ 85, 86 はパルス信号に対しては完全にショート・スタブ 81, 82 をグランドに、多くのダイオード部 D の直

流バイアス電圧を接地から防ぐようにしている。これによってダイオード部Dの特性を検査することもできる。ボンディング・ワイヤ87, 88はコプレーナ線路の奇モードの発生を抑制するのに効果があり、出力端子99に得られる高速遅延パルスの波形の乱れを少なくするのに役立つ。

【0030】図4および図7の非線形伝送路55に含まれた多くのダイオード部Dの構造は図7の一点鎖線の円のダイオード部D1あるいは楕円のダイオード部D2に示されている。

【0031】ダイオード部D1においては、センタ・コンダクタ59とグランド・パターン97との間にダイオード91, 92が設けられている。ダイオード部D2においては、基板41または42の断面が示されており、センタ・コンダクタ59の下部にダイオード93が設けられ、その両側のグランド・パターン97の下部にオーミック・コンタクトされている様子が抵抗95, 96として表わされている。ここでオーミック・コンタクトを用いない場合には、両側のグランド・パターン97の下部にもダイオードが形成されてしまい、好ましくないからである。

【0032】以上の説明においては、遅延時間の可変は図1の移動プリズム25を移動することにより実現する場合を説明したが、光ファイバ15aあるいは15bの長さの異なるものを光スイッチを用いて切替えて、遅延時間の大きなレンジ切替えを併用することができることも当業者にとって明らかであろう。

【0033】

【発明の効果】以上の説明から明らかなように、パルス信号の時間遅延を光学系によって行なうのでジッタおよびドリフトが実質的に全くなく、波形の劣化が起こらず、時間遅延を高分解能で行なうことができる。

【0034】フォト・コンダクタと非線形伝送路と波形整形手段である方向性結合器あるいはショータを同一基板上に集積化しているために回路間に多くのコネクタあるいは多くのボンディング・ワイヤを使う必要がないので、多重反射や波形の劣化を起こさずにすみ、高速な遷移時間をもった遅延パルス信号を得ることができる。また、光パルス源としてレーザ・ダイオードを使うことができるので、任意のパルス間隔でパルス発生でき、小型化かつ安定に動作することができる。このような特徴からサンプリング・オシロスコープなどのサンプリング・パルスに応用すれば、従来に比較して非常に高速な遷移時間をもつ信号を観測することができる。また、高速信号処理システムにおいても高分解能でタイミング依存性や位相マージンを精度良く知ることができる。したがって、本発明の効果は極めて大きい。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路構成図である。

【図2】図1の各部の波形を示す波形図である。

【図3】図1の構成要素である高速パルス発生器の一実施例の回路図である。

【図4】図3の高速パルス発生器の要部を形成した半導体基板上の配置図である。

【図5】図3および図4の構成要素である非線形伝送路に含まれたダイオードの端子間の逆電圧に対する端子間容量の変化を示す静電容量特性図である。

【図6】図1の構成要素である高速パルス発生器の他の実施例の回路図である。

【図7】図6の高速パルス発生器の要部を形成した半導体基板上の配置図およびそこに含まれたダイオードの構造図である。

【図8】従来例を示す回路構成図である。

【図9】図8の回路各部の波形を示す波形図である。

【符号の説明】

- 10 トリガ入力端子
- 11 パルス発生器
- 12 パルス増幅器
- 13 レーザ・ダイオード
- 15 a, 15 b 光ファイバ
- 16 a, 16 b, 16 c レンズ
- 17 空間平行光
- 18 光学固定端
- 19 ミラー
- 22, 23 空間平行光
- 24 空間遅延光パルス
- 25 移動プリズム
- 26 スライド・ステージ
- 27 ステージ制御部
- 28 矢印
- 29 照射光
- 31 R-Sフリツプフロップ
- 32 J-Kフリツプフロップ
- 33 スイッチ
- 34 定電流源
- 35 コンデンサ
- 36 コンパレータ
- 37 遅延回路
- 38 ラッチ回路
- 39 D/A変換器
- 40 高速パルス発生器
- 41, 42 基板
- 51 バイアス電圧源
- 52 フォト・コンダクタ
- 53 終端器
- 55 非線形伝送路
- 59 センタ・コンダクタ
- 71 方向性結合器
- 72, 73 結合線路
- 74, 75 ボンディング・ワイヤ

91, 92, 93 ダイオード

95, 96 抵抗

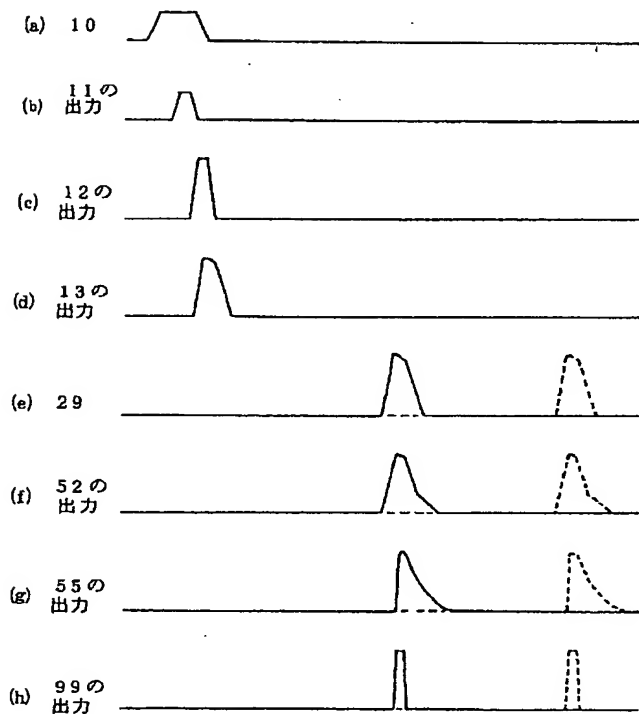
97 グランド・パターン

9 9 出力端子

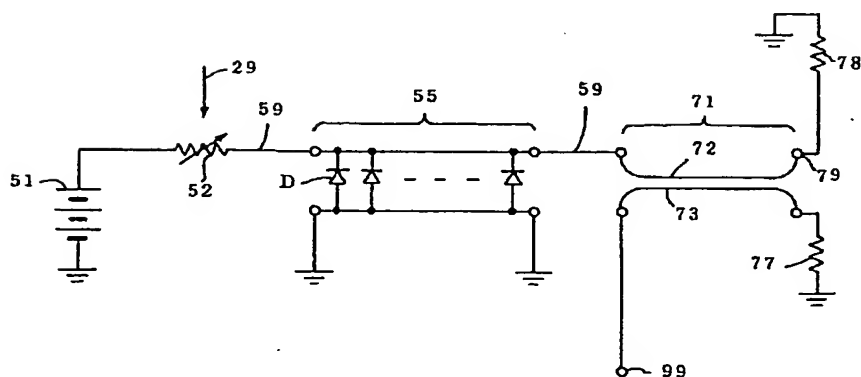
D ダイオード部

D ダイオード部

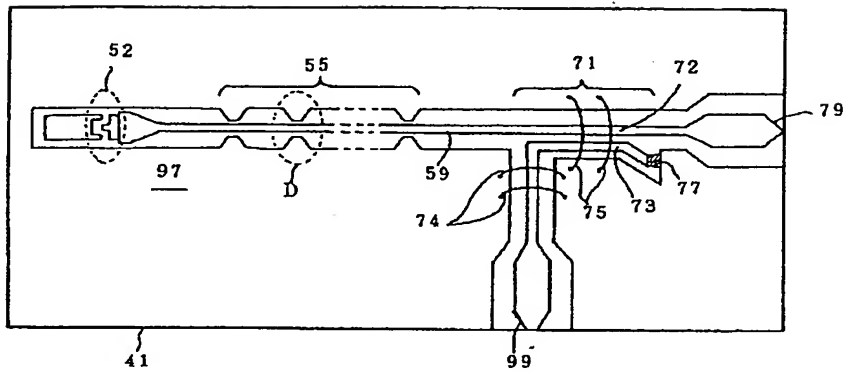
【図 2】



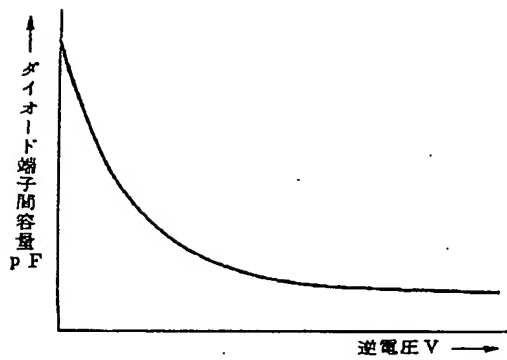
【圖 3】



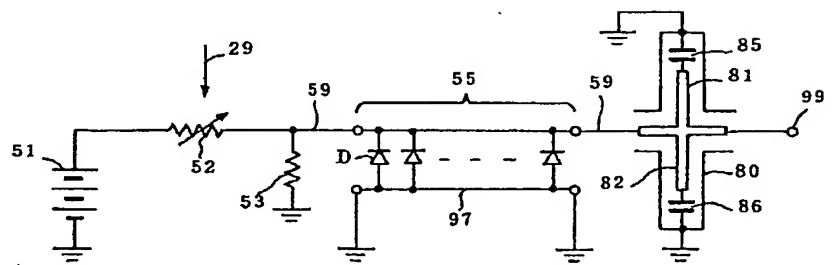
【図 4】



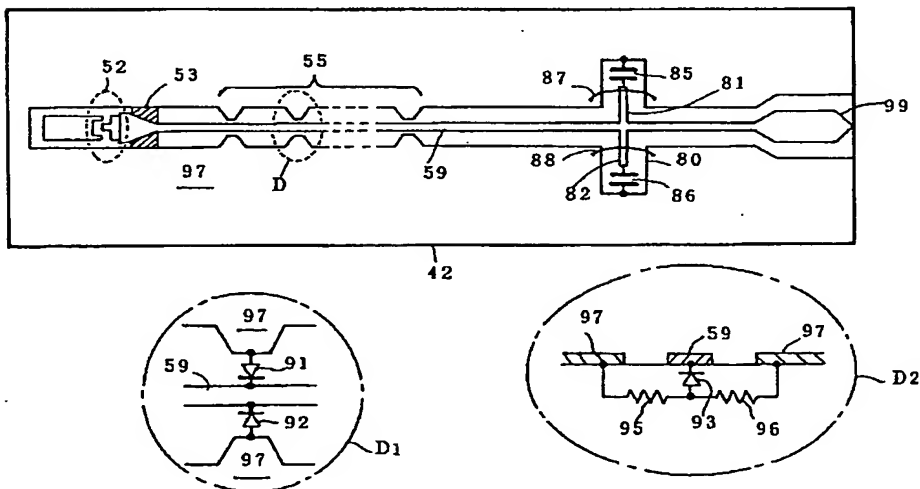
【図 5】



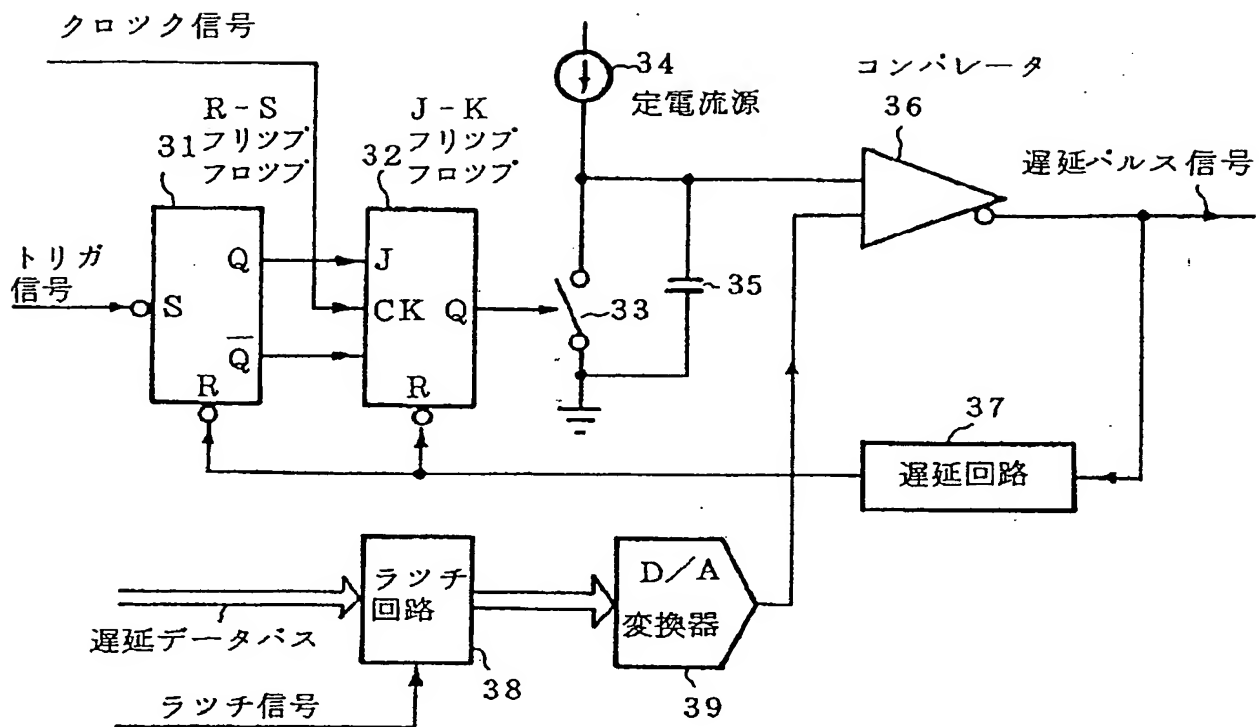
【図 6】



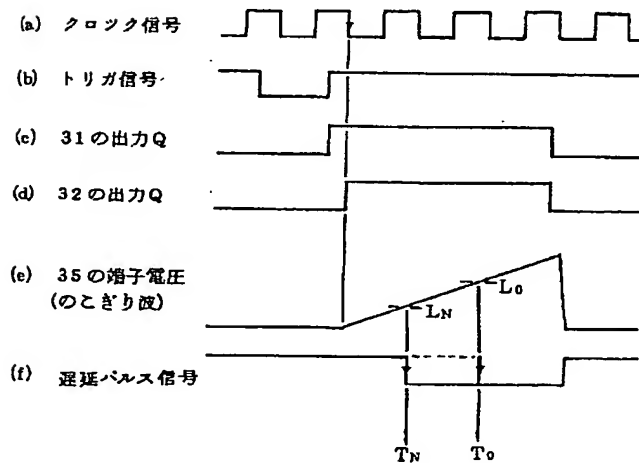
【図 7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 P 3/02

H 0 3 K 5/12

識別記号

庁内整理番号

F I

技術表示箇所

7402-5 J

(72) 発明者 神谷 武志

市宮崎県宮崎県 1 丁目 11 番地 4 号